

한국 공개특허공보 제2001-78288호(2001.08.20) 1부.

[첨부그림 1]

특 2001-0078288

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)(51) Int. Cl.⁷

(11) 공개번호 특2001-0078288

H01L 23/52

(43) 공개일자 2001년08월20일

(21) 출원번호 10-2001-0005061

(22) 출원일자 2001년02월02일

(30) 우선권주장 2000-025611 2000년02월02일 일본(JP)

(71) 발명인 넷론 전기 가부시키가이샤 가네코 히사시

(72) 발명자 일본국 도쿄도 미나토구 시바 5초메 7番 1고

(72) 발명자 마치노세마치히코

(72) 발명자 일본국도쿄도미나토구시바5초메7番1고넷론전기가부시키가이샤사내

(72) 발명자 다카자와도모코

(74) 대리인 일본국도쿄도미나토구시바5초메7番1고넷론전기가부시키가이샤사내

(74) 대리인 조의제

심사청구 : 없음

(54) 반도체장치 및 이를 이용하는 반도체모듈

요약

본 발명의 반도체장치는 반도체칩 및 패키징커리어에 유사하고 사전선택된 패턴을 갖는 배선층을 구비하는 단층의 배선테이프를 포함한다. 이 배선테이프는 반도체칩의 적어도 상부, 하부 및 일측면에 정착된다. 반도체장치는 칩의 상기 표면층상에 배열된 외부전극부들을 갖는다. 이 반도체장치는 배마전과 견줄만한 패키징크기들 갖는다. 2차원적으로 또는 3차원적으로 배열된 다수의 반도체장치들을 구비하는 반도체모듈은 많은 수의 배선들의 고밀도배열을 제공할 수 있고 바람직한 전기적 특성을 달성한다.

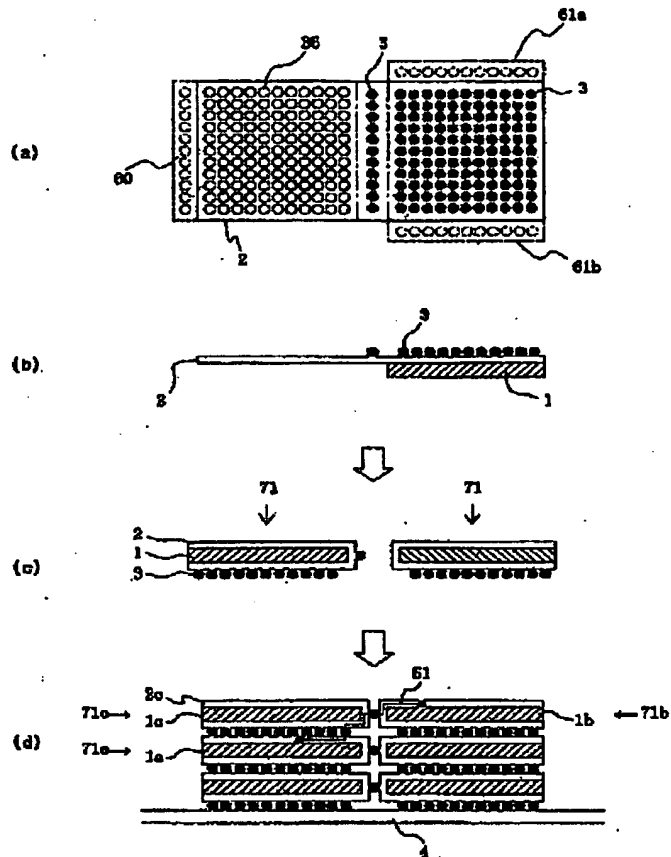
20-1

20-1

[첨부그림 2]

록2001-0078288

본문도



제1실시예

반도체장치, 반도체모듈

본문도

도면의 구성요소

도 1(a)는 본 발명에 따른 조립되어진 반도체장치의 제1실시예를 보여주는 평면도이다.

도 1(b)는 제1실시예의 측면도이다.

도 1(c)는 조립된 상태의 제1실시예를 보여주는 측면도이다.

20-2

20-2

[첨부그림 3]

특 2001-0078288

- 도 1(d)는 각각이 도 1(c)에 도시된 바와 같은 구조를 갖는 다수의 반도체장치들을 포함하는 반도체모듈의 전면도이다.
- 도 2(a)는 본 발명에 따른 조립되어진 반도체장치의 제2실시예를 보여주는 평면도이다.
- 도 2(b)는 제2실시예의 전면도이다.
- 도 2(c)는 조립된 상태의 제2실시예를 보여주는 전면도이다.
- 도 2(d)는 각각이 도 2(c)에 도시된 바와 같은 구조를 갖는 다수의 반도체장치들을 포함하는 반도체모듈의 전면도이다.
- 도 3a는 본 발명에 따른 반도체장치의 제3실시예의 배선레이프를 보여주는 평면도이다.
- 도 3b는 조립되어진 제3실시예의 전면도이다.
- 도 3c 및 도 3d는 각각 특정조립단계에서의 제3실시예를 보여주는 전면도들이다.
- 도 3e는 조립된 상태에서의 제3실시예의 전면도이다.
- 도 3f는 각각이 도 3e에 도시된 바와 같은 구조를 갖는 다수의 반도체장치들을 포함하는 반도체모듈의 전면도이다.
- 도 4(a)는 본 발명에 따른 조립되어진 반도체장치의 제4실시예를 보여주는 평면도이다.
- 도 4(b)는 조립된 상태의 제4실시예를 보여주는 평면도이다.
- 도 5는 반도체 및 이 위에 장착된 배선레이프를 포함하는 특정구조를 보여주는 부분단면도이다.
- 도 6은 배선레이프 및 그기에 장착된 반도체를 포함하는 다른 특정구조를 보여주는 부분단면도이다.
- 도 7은 배선레이프를 형성하기 위한 특정공정을 보여주는 단면도이다.
- 도 8은 본 발명에 따라 가능한 특정의 3차원 반도체모듈을 보여주는 성장도이다.

*도면의 주요부분에 대한 부호의 설명

- | | |
|---------------|-----------------------|
| 1...반도체칩 | 2, 20, 21, 22...배선레이프 |
| 3...패딩층 | 4...회로기판 |
| 5...전극 | 31...접연막 |
| 32...배선층 | 33...접착층 |
| 34, 44...금속 | 35...커버층 |
| 36...외부접속부들 | 37...홈 |
| 51, 53...배선홀로 | 60-63...연장부 |
| 71-74...반도체장치 | |

본 발명의 상세한 설명

본 발명의 목적

본 발명에 속하는 기술분야 및 그 분야의 종래기술

본 발명은 베어칩(bare chip)에 견줄만한 종류의 패키지칩(package chip)으로서 반도체칩의 주변부에 정착되어 있는 배선레이프를 포함하는 반도체장치 및 아차원적으로 또는 3차원적으로 밀도있게 배열된 다수의 상기 반도체장치들을 포함하는 반도체모듈에 관한 것이다.

오늘날, 다수의 고밀도배열된 반도체장치들로 이루어진 다중칩모듈이 개발되고 있다. 다양한 패키지구조 및 실장방법들이 다중칩모듈과 관련하여 제안되어 왔다. 반도체장치들의 고밀도배열을 달성하는 형태의 구조들은 0차원에서 선형형 태들로 분류되어 진다.

한 형태의 구조에 있어서, 반도체장치들은 회로기판상에 수직방향으로 겹쳐 쌓여져 있다. 예를 들면, 일 본 공개특허공보 제9-275183호는 상부 및 저부에 배열된 외부연결부들을 갖는 반도체장치를 개시하고 있다. 이러한 종류의 반도체장치는 1차원적 구조로 생겨있다고 할 수 있다.

다른 형태의 구조에 있어서, 반도체장치들은 수직방향으로 쌓여 있을 뿐만 아니라 수평방향으로 서로 인접하며 즉, 회로기판에 평행하게 배열되어져 있다. 더욱 구체적으로, 다수층으로 생겨진 반도체장치들이 회로기판에 평행하게 하나의 방향으로 나란히 또는 회로기판에 평행하게 두 방향으로 나란히 그러나 서로 수직하게 배열되어져 있다. 여기서, 전자의 구조를 이차원적 구조로 후자의 구조를 3차원적 구조로 각각 인용한다.

미국특허 제5,790,300호는 2차원적 구조를 갖고 단일의 유연성 배선판을 포함하는 반도체장치를 개시하고 있다. 이 유연성 배선판은 상부, 하부 및 외곽에 의한 반도체칩의 일 측면에 부착되어 있다. 외부접속부들은 이 칩의 그 일 측면에 배열되어져 있다. 또한, 이 문헌은 이러한 반도체장치들의 다대에 부착된 제2유연성 배선판을 갖는 반도체모듈과 다수의 이러한 모듈들에 부착된 제3배선판을 갖는 반도체모듈을 개시하고 있다.

20-3

20-3

[첨부그림 4]

록 2001-0078268

일본 공개특허공보 제10-335,570호는 3차원구조로 배열된 다수의 반도체장치들을 갖는 반도체모듈을 제안하고 있다. 구체적으로, 각 반도체장치는 그 내부에 형성된 공동안에 반도체층을 실장하는 다각형편입패키지를 포함하고 있다. 전술한 바와 같이, 외부접속부들은 이 패키지의 각 표면상에 배열되어져 있다. 이 칩 및 외부접속부들은 도전리드들 및 본딩와이어들(bonding wires)을 통해 전기적으로 상호접속되어져 있다. 이러한 반도체장치들은 3차원적으로 배열되어진다.

그러나, 앞서 언급한 공개공보 제9-275,183호의 반도체장치는 반도체층의 상부 및 하부에만 배열된 외부접속부들을 가지며 단지 1차원적 구조를 구성하고 있다. 이 구조로는 고밀도배열은 제한된다. 더욱이, 다수의 이러한 반도체장치들이 나란히 위치된다 하더라도, 수평방향으로 서로 인접하는 반도체장치들은 전기적으로 접속될 수가 없다. 예를 하면, 수평방향으로 서로 인접하는 두 모듈들의 상부 반도체장치들은 하부 반도체장치들 및 회로기판의 존재없이 전기적으로 상호접속될 수가 없다. 이것은 전기적 특성들을 악화하고 증가하는 실장밀도에 기인하여 더 많은 배선들의 고밀도배열을 가져온다. 배선들의 고밀도배열은 개별적 배선의 폭의 감소와 인접배선들 사이의 거리의 감소를 수반하고, 이것은 설계 및 제조상의 성능에 방해되고 비용을 증가시킨다.

미국특허 제5,790,380호에 개시된 2차원구조는 외부접속부들이 단지 칩의 일측면상에 배열되기 때문에 제1유연성배선판에 대하여 제2 및 제3유연성배선판이 요구되고, 실장밀도를 제한한다. 더욱이, 반도체장치들은 제2 및 제3배선판들 및 회로기판의 존재없이 상호접속될 수가 없다. 이것은 일본 공개특허공보 제9-275,183호와 관련하여 기술한 문제점들을 초래한다.

일본 공개특허공보 제10-335,570호에서 제안된 3차원구조의 문제점은 다각형 편입패키지가 실질적 두께이고 와이어본딩에 의해 공동내에 장착된 반도체층을 갖는다는 것이다. 그러므로, 이 패키지크기는 칩크기보다 더 크고 실장밀도에 방해가 된다. 또한, 중간반도체장치들 통한 서로 인접하는 두 반도체장치들은 중간반도체장치 안에 포함된 반도체층의 존재없이 전기적으로 상호접속될 수가 없다. 이것은 상호접속되는 반도체장치들 사이의 신호전송률의 감소를 증가하고 반도체층의 회로설계의 부달을 증가한다.

본 발명이 이루고자 하는 기술적 과제

그러므로, 본 발명의 목적은 저비용으로 배선밀도의 열화없이 소량의 전기적 특성을 나타내는 2차원 또는 3차원 반도체모듈을, 이 반도체모듈을 구성하기 위한 배어칩과 건물안한 패키지크기의 반도체장치들 제공 하는 것이다.

발명의 구성 및 작용

본 발명에 따르면, 반도체장치는 반도체층 및 사전 선택된 패턴을 갖는 배선층을 포함하는 단일의 배선층이 포함되고 있다. 외부접속부들은 이 배선층이상에 배열되는 한편 내부접속부들은 배선층이내에 형성되고 반도체층에 포함된 전극들에 접속된다. 이 배선층이 반도체층의 가장자리들에서 튀어져 이 반도체층의 적어도 세 면들에 장착되어 있다. 외부접속부들은 적어도 상기 세 면상에 배열된다.

각각이 상기의 구조를 갖는 다수의 반도체장치들을 포함하는 반도체모듈이 또한 개시된다.

이하에서, 본 발명의 다른 목적, 구성 및 이점들을 충분히 도면들을 참조하여 더욱 구체적으로 설명한다. 본 발명에 따른 반도체장치 및 반도체모듈의 바람직한 실시예들을 설명한다.

제1 실시예

도 1(a) 내지 도 1(d)를 참조하면, 본 발명을 구성하는 반도체장치 및 반도체모듈이 개시되어 있다. 도 1(a) 내지 도 1(c)에 도시된 바와 같이, 반도체장치(71)는 반도체층(1) 및 몰딩캐리어와 같은 한개의 배선층이(2)로 구성된다. 이 반도체층(1)은 반도체 웨이퍼(미도시)로부터 형성되고 종래의 사각형상을 갖는다. 구체적으로, 이 칩(1)은 사각을 형성하는 상부, 하부 및 네 개의 측면을 갖는다. 이 칩(1)의 각 두 인접하는 표면은 실질적으로 서로 수직하고 서로 마주보는 각 두 표면은 실질적으로 서로 평행하다. 더욱 구체적으로, 이 칩(1)의 상부 및 하부는 실질적으로 서로 평행한 한편 도 1(a) 내지 도 1(d)에 도시된 바와 같이 전면과 배면 그리고 우측면과 좌측면 각각도 서로 평행하다.

배선층(미도시)은 사전 선택된 패턴으로 배선층이(2) 안에 형성된다. 이 배선층의 사전선택부분들은 배선층이(2)의 표면상에서 외부로 노출되고, 외부접속부들(36)을 형성한다. 형성된 구성은 Ball Grid Array, 플러그배열)를 이룬다. 그러므로, 외부접속부들(36)은 몰딩층들(3)로 로드(load)되어지는 지력으로서의 역할을 한다. 이 배선층이(2)는 칩(1)의 상부, 하부 및 일측면이 전기적 및 열적으로 형성되는 사각형에 대응하는 윤곽을 갖는 대단히 얇고 유연성이 있는 시트이다.

이하에서는 반도체장치(71)를 조립하기 위한 세부공정이 설명된다. 우선, 도 1(a)에 도시된 바와 같이, 몰딩층들(3)이 칩(1)의 상부 및 일측면에 장착되어지는 배선층이(2)의 단지 일면에 있는 외부접속부들(36)에 접합된다. 즉, 몰딩층들(3)은 칩(1)의 하부에 장착되어지는 배선층이(2)의 다른 부분에는 없다. 동시에, 칩(1)의 상부에 장착되어지는 부분에 접합된 몰딩층들(3)을 갖는 배선층이(2)가 준비된다.

도 1(b)에 도시된 바와 같이, 몰딩층들(3)이 구비된 배선층이(2)는 칩(1)의 상부에 장착된다. 다음, 이 배선층이(2)는 칩(1)의 가장자리에서 튀어지고, 도 1(c)에 도시된 바와 같이, 칩(1)의 일측면 및 하부에 밀착하여 장착된다. 설명한 구성에 있어서, 배선층이(2)가 칩(1)에 접착될 수 있도록 접착제가 사전에 배선층이(2)의 배면에 공급된다.

도 1(c)에 도시된 바와 같이, 상기 공정에 의해 조립된 반도체장치(71)는 칩(1) 및 배선층을 포함하는 단일의 배선층이(2)로 이루어진다. 이 배선층이(2)는 외부접속부들(36)에 의하여 내부접속부들을 구비하고 있다. 이 내부접속부들은 칩(1)상에 제공되어 있는 전극(5)(도 5 참조)에 접속된 금속(34)(도 5 참조)에 의해 수반된다. 이 내부접속부들은 칩(1)에 장착되어지는 배선층이(2)의 부분에 배치된다.

이 배선층이(2)는 칩(1)의 가장자리들에서 튀어짐에 의해 칩(1)의 상부, 하부 및 일측면에 장착된다.

20-4

20-4

[첨부그림 5]

록 2001-0078268

외부접속부들(36)은 칩(1)의 상부 세 면접합 모두에 위치된다. 일반적으로, 외부접속부들(36)은 배선테이프(2)가 정착되는 칩(1)의 상부, 하부 및 일측면 가운데 서로 실용적으로 평행한 상부 및 하부(서로 마주 보는 한 쌍의 표면들)상에 배열된다.

도 1(d)는 각각이 도 1(c)에 도시된 구조를 갖는 2차원적으로 배열된 다수의 반도체장치들(71)로 이루어진 반도체모듈을 보여주고 있다. 도시된 바와 같이, 다수의 반도체장치들(71)은 회로기판(4)상에 쌓여져 있을 뿐만 아니라 우측 및 좌측방향으로 나란히 배열되어져 있다. 땀납들(3)은 수직 및 수평방향으로 서로 인접하는 반도체장치들(71)을 물리적 및 전기적으로 접속하고 있다. 또한, 이 땀납들(3)은 이 다수의 하부들에 위치한 반도체장치들(71)을 회로기판(4)에 물리적 및 전기적으로 접속한다. 이와 같은 상태에서, 서로 인접하는 반도체장치들(71)은 배선테이프(2)의 외부접속부들(36)을 개재하여 전기적으로 접속된다. 부가하여, 이 반도체장치들(71)은 땀납들(3)에 의해 수직방향(회로기판(4)에 수직) 및 수평 방향(회로기판(4)에 평행)으로 함께 접속된다.

이 반도체장치들(71)은 외부접속부들(36)이 배선테이프(2)가 정착되는 각 칩(1)의 상부, 하부 및 일측면 가운데 서로 실용적으로 평행한 상부 및 하부상에 위치되기 때문에 쌓여질 수 있다. 도 1(d)는 상단으로 쌓여진 반도체장치들(71)을 보여주고 있지만, 원한다면 시간의상으로 쌓여져도 좋다.

더욱이, 두 반도체장치들(71)은 배선테이프(2)가 정착되어 있는 각 칩(1)의 일측면에 위치한 외부접속부들(36) 때문에 우측 및 좌측방향으로 나란히 위치되어질 수 있다.

도 1(e)에 도시된 바와 같이, 배선테이프(2)는 상술한 일측면과 마주보는 칩(1)의 측면에 정착되어지는 연장부(60)(절선)를 구비하고 있다. 이것은 더 많은 반도체장치들(71)이 우측 및 좌측방향으로 나란히 배열되고 연장부(60)상에 제공된 외부접속부들 및 땀납들(3)을 통해 물리적 및 전기적으로 상호접속되는 것을 허용한다.

또한, 도 1(e)에 도시된 바와 같이, 배선테이프(2)는 서로 마주보는 칩(1)의 한 쌍의 측면들 즉, 전면 및 배면에 정착되어지기 위한 연장부들(61a 및 61b)을 구비하고 있다. 이것은 다수의 반도체장치들(71)이 회로기판(4)상에 도 1(d)의 시트표면에 수직인 방향으로 나란히 배열되는 것을 허용하고 또한 연장부들(61a 및 61b)상에 제공되는 외부접속부들 및 땀납들(3)을 개재하여 물리적 및 전기적으로 접속되는 것을 허용한다. 도 8은 절개선이 3차원 반도체 모듈의 상세구조를 보여준다. 더 많은 반도체장치들(71)이 원한다면 수직 및 수평방향으로 배열되어져도 좋다.

상술한 바와 같이, 절단된 구성에 있어서, 외부접속부들(36) 및 땀납들(3)은 물리적 및 전기적으로 반도체장치들(71) 가까이에서 접속된다. 즉, 각 반도체장치(71)는 회로기판(4)의 매개없이 가장 가까운 가능한 두 트루를 통해 다른 반도체장치(71)에 전기적으로 접속할 수 있다.

더욱이, 도 1(d)에 도시된 바와 같이, 땀납들(3) 및 배선테이프들(2)은 예를 들면 도 1(d)에 도시된 배선들(51)을 형성하기 위하여 상호 합쳐진다. 배선들(51)은 반도체장치들(71a 및 71b) 사이에 끼워져 있는 반도체장치(71c)내에 포함된 반도체칩(1c)에 정착된 배선테이프(2c)를 통해 두 반도체장치들(71a 및 71b)을 전기적으로 접속한다. 즉, 이 반도체장치들(71a 및 71b)은 반도체장치(71c) 내에 포함된 반도체칩(1c)의 매개없이 전기적으로 상호접속된다.

제2 실시예

본 발명의 다른 실시예를 설명하기 위하여 도 2(a) 내지 도 2(d)를 참조한다. 이 실시예는 다음 구성을 채용하고는 제1 실시예와 유사하다. 각각 도 1(c) 및 도 1(d)에 대응하는 도 2(c) 및 도 2(d)에 도시된 바와 같이, 각 반도체장치(72)는 이용현황대로 그룹의 배면에서 서로 정착된 두 반도체칩들(10 및 11)을 갖는다. 그러므로, 각 배선테이프(20)는 칩들(10 및 11)의 측면의 상부, 하부 및 일측면에 발전될 때 형성되는 사각형에 대응하는 윤곽을 갖는다. 이 배선테이프(20)는 앞선 실시예의 배선테이프(2)와는 그것이 칩들(10 및 11)의 측면의 일측면을 갖는다는 것이 다르다.

반도체장치(72) 및 반도체모듈을 조립하기 위한 구성과정을 이하에서 기술한다. 우선, 도 2(b)에 도시된 바와 같이, 땀납캐리어와 유사한 단일의 배선테이프(20)가 두 칩들(10 및 11)의 표면상에 정착된다. 이어서, 도 2(c)에 도시된 바와 같이, 배선테이프(20)는 칩들(10 및 11)의 가장자리에서 위치되고 칩들(10 및 11)의 측면들에 정착된다. 이 칩들(10 및 11)은 그룹의 배면에서 서로 정착된다.

도 2(d)에 도시된 바와 같이, 각각이 도 2(c)에 도시된 구조를 갖는 다수의 반도체장치들(72)이 반도체모듈을 구성하기 위하여 2차원적으로 배열된다. 더욱이, 도 2(a)에 도시된 바와 같이, 배선테이프(20)는 반도체장치들(72)이 어떤 다른 2차원구조 또는 도 8의 구조와 유사한 3차원구조에 배열될 수 있도록 연장부들(62, 63a 및 63b)(절선)을 구비하고 있다.

순차된 실시예에 있어서, 땀납들(3) 및 배선테이프(20)는 예를 들면, 도 2(d)에 도시된 배선들(53)을 형성하기 위하여 합쳐진다. 이 배선들(53)은 칩들(10a 및 10c) 사이에 끼워져 있는 반도체칩(11c)에 정착된 배선테이프(2c)를 통해 두 칩들(10a 및 10c)을 전기적으로 접속한다. 즉, 이 칩들(10a 및 10c)은 칩(1c)의 매개없이 전기적으로 상호접속된다.

제3 실시예

본 발명의 또 다른 실시예를 도 3a 내지 도 3d를 참조하여 설명한다. 도시된 바와 같이, 반도체장치(73)는 여섯 개의 반도체칩들(12 내지 17)과 땀납캐리어를 갖춘 단일의 배선테이프(21)로 구성된다. 이 칩들(12 내지 17)의 각각은 구조에 있어서 제1 실시예의 칩(1)과 동일하다. 설명하는 실시예에 있어서, 배선테이프(21)는 칩들(12 내지 17) 각각의 제1 면보다도 더 긴 길이를 갖는다.

이 반도체장치(73)의 조립을 위한 상세과정을 이하에서 설명한다. 우선, 땀납들(3)이 배선테이프(21)상에 형성된 외부접속부들(36)에 정착되어져 있고, 도 3a에서 점선으로 표시되어 있다. 더욱 상세히 보면, 이 땀납들(3)은 칩(12)의 앞면 및 칩들(12 내지 17)의 측면들에 정착되어지기 위한 배선테이프(21)의 부분에 정착되어진다. 동시에, 칩(12)의 앞표면에 정착되기 위한 부분에만 정착된 땀납들(3)을 갖는 배선테이프

20-5

20-5

[첨부그림 6]

록 2001-0078268

프(21)가 준비된다.

도 3a에 도시된 바와 같이, 이 협동(12 및 17)의 앞표면들은 각각 외부접속부들(36)이 형성되는 배선테이프(21)의 반대 끝부분들의 뒷면에 정착된다. 다음, 협동(13, 14, 15 및 16)은 그들의 앞표면들이 배선테이프(21)의 중간부의 반대표면들에 정착된다. 이어서, 도 3a에 도시된 바와 같이, 배선테이프(21)는 협동(12 및 13)의 가장자리에서 휘어지고 이 협동(12 및 13)의 측면에 정착된다. 또한, 협동(12 및 13)의 배면은 서로 정착된다.

도 3a에 도시된 바와 같이, 배선테이프(21)는 협동(14 및 15)의 가장자리에서 휘어지고 이 협동(14 및 15)의 측면에 정착된다. 동시에, 이 협동(14 및 15)의 배면은 서로 정착된다. 또한, 도 3a에 도시된 바와 같이, 배선테이프(21)는 협동(16 및 17)의 가장자리에서 휘어지고 이 협동(16 및 17)의 측면에 정착된다. 동시에, 이 협동(16 및 17)의 배면은 서로 정착된다.

도 3a에 도시된 바와 같이, 반도체장치(73)는 세 쌍의 반도체협동들을 구비하고, 이 협동들의 각 쌍은 그룹의 배면에 서로 정착되어 있다. 구체적으로, 협동(12 및 13), 협동(14 및 15) 및 협동(16 및 17)은 각각 세 개의 이중협동(81, 82 및 83)을 구성하도록 결합되어 있다.

설명된 실시예에 있어서, 배선테이프(21)는 외부접속부들(36)에 부가하여 사전설정된 패턴을 갖는 내부접속부들을 갖는다. 이 내부접속부들은 각각 전극들(5a, 5b 및 5c)에 접속된 금속(44, 44b 및 44c; 도 6a 참조)에 의해 수행되고, 협동에 제공된다. 이 내부접속부들은 협대 정착되는 배선테이프(21)의 부분상에 위치한다.

앞면이 서로 마주하는 두 이중협동(81 및 82, 또는 82 및 83)은 배선테이프(21)의 매개로 서로 접속하고 있다. 협동 사이에 끼여 있는 부분에 연결하는 배선테이프(21)의 부분은 협동의 가장자리에서 절삭되고 협동의 다른 표면들에 정착된다. 다른 표면들은 이중협동(81)의 하부 및 좌측면, 이중협동(82)의 우측면, 및 이중협동(83)의 상부 및 좌측면들 말한다. 외부접속부들(36)은 상기 표면들 즉, 배선테이프(21)가 정착되는 표면들에 포함된 두 쌍의 실질적으로 평행한 표면들의 각각상에 위치한다. 이 두 쌍의 실질적으로 평행한 표면들은 반도체장치(73)의 상부 및 하부 반도체장치(73)의 우측면 및 좌측면이다.

도 3b는 각각이 도 3a에 도시된 구조를 갖는 다수의 2차원배열반도체장치들(73)로 구성된 반도체모듈을 보여주고 있다. 도시된 바와 같이, 반도체장치들(73)은 회로기판(4)상에 배열되고 우측 및 좌측방향으로 나란히 배열되어 있다. 땀납들(3)은 수직 및 수평방향으로 인장하는 반도체장치들(73)을 물리적 및 전기적으로 연결한다. 또한, 이 땀납들(3)은 이 디바이스의 한변에 위치한 반도체장치들(73)을 회로기판(4)에 접속한다. 이 설명에서, 서로 인접하는 반도체장치들(73)은 배선테이프(21)의 외부접속부들(36)을 매개로 전기적으로 접속된다. 부가하여, 이 반도체장치들(73)은 땀납들(3)에 의해 수직방향(회로기판(4)에 수직) 및 수평방향(회로기판(4)에 평행)으로 함께 접속된다.

이 반도체장치들(73)은 외부접속부들(36)이 서로 실질적으로 평행한 상부 및 하부상에 위치되기 때문에 적용될 수 있다. 도 3b는 두 단으로 적용된 반도체장치들(73)을 도시하고 있지만, 소일에 따라 세 단위상으로 적용되어도 좋다.

또한, 다수의 반도체장치들(73)은 우측면 및 좌측면에 위치한 외부접속부들(36)로 인해 우측 및 좌측방향으로 나란히 배치될 수 있고, 서로 실질적으로 평행하게 된다. 도 3b는 나란히 배열된 세 개의 반도체장치들(73)을 보여주고 있지만, 네 개 이상의 반도체장치들(73)이 나란히 배열되어도 좋다.

도 3a에 도시된 바와 같이, 배선테이프(21)는 서로 마주보는 이중협동(81 내지 83)의 면들 즉, 앞면들 및 배면들에 정착되어지는 연장부들(64a, 64b, 65a, 65b, 66a 및 66b)(정선)의 모두 또는 일부를 구비해도 좋다. 이것은 다수의 반도체장치들(73)이 도 3b의 시트표면에 수직인 방향으로 배열되는 것을 허용하고 또한 연장부들(64a 내지 66b) 상에 제공되는 외부접속부들 및 땀납들(3)을 통해 물리적 및 전기적으로 접속되는 것을 허용한다. 결과로서, 반도체모듈은 도 8의 구조와 유사한 3차원 구성을 갖는다.

상술한 바와 같이, 설명된 실시예에 있어서, 외부접속부들(36) 및 땀납들(3)은 반도체장치들(73)을 가 까이에서 물리적 및 전기적으로 접속한다. 즉, 각 반도체장치(73)는 회로기판(4)의 매개없이 그러므로 가장 많은 가능한 루트들 통해 다른 반도체장치(73)에 전기적으로 접속된다.

또한, 도 3a에 도시된 바와 같이, 땀납들(3) 및 배선테이프(21)는 예를 들면, 배선물로(54)를 형성하기 위하여 협동한다. 이 배선물로(54)는 반도체장치(73c)에 포함된 배선테이프(21)를 개재하여 두 반도체장치들(12 및 15)을 전기적으로 접속하고, 반도체장치들(12 및 15) 사이에 끼여 있다. 즉, 반도체장치들(12 및 15)은 협동(13 및 14)의 매개없이 전기적으로 상호 접속된다.

더욱이, 도 3a에 도시된 바와 같이, 땀납들(3) 및 배선테이프(21)는 예를 들면, 배선물로(55)를 형성하기 위하여 협동한다. 이 배선물로(55)는 반도체장치(73c)에 포함된 배선테이프(21)를 개재하여 두 반도체장치들(73a 및 73b)을 전기적으로 접속하고, 반도체장치들(73a 및 73b) 사이에 끼여 있다. 즉, 반도체장치들(73a 및 73b)은 반도체장치(73c)의 협동의 매개없이 전기적으로 상호 접속된다.

이중협동(81, 82 및 83)의 각각은 단일협동으로 대체되어도 좋고, 이 경우에 각 반도체장치(73)는 세 개의 협동(13, 14 또는 15 및 16)로 구성되지 않고 상술한 방법으로 조립될 것이다.

제4실시예

도 4(a) 및 도 4(b)를 참조하여, 본 발명의 또 다른 실시예를 설명한다. 도시된 바와 같이, 반도체장치(74)는 반도체층(18) 및 땀납캐리어와 유사한 배선테이프(22)로 구성된다. 이 층(18)은 제1실시예의 협(1)의 구조와 동일하다. 설명된 실시예에 있어서, 배선테이프(22)는 수직 및 수평방향에서 협(18)의 사선 길이 보다 약간 더 큰 전체의 사각구조를 갖는다.

이 반도체장치(74)의 조립을 위한 상세공정을 이하에서 설명한다. 우선, 땀납들(3)이 배선테이프(22)의 앞표면에 부착된다. 이어서, 협(18)의 앞표면에 배선테이프(22)의 배면 중앙에 정착된다. 이 시점에서, 도 4(a)에 도시된 바와 같이, 협(18)은 그 네 면들이 배선테이프(22)의 측면들에 대하여 45° 기울어 지도

2D-6

20-6

[첨부그림 7]

록 2001-0078268

록 위치된다. 그 후, 배선테이프(22)는 린(18)의 가장자리들에서 린(18)의 주변경계 쪽, 린(18)의 내 속 면들 및 배면들 모두를 아래로 접합되고 그 배면(18)에 정착된다. 도 4(b)에 도시된 바와 같이, 배선테이프(22)의 네 코너들은 이 배선테이프(22)의 배면의 중앙에 모인다.

설명된 실시예에 있어서, 배선테이프(22)는 린(18)의 육면 모두에 정착된다. 외부접속부들(36)은 이 린(18)의 측면들의 세 면들 이상에 위치된다. 이것은 다수의 반도체장치들(74)이 제1실시예에서와 같은 방법으로 미치워 또는 3차원적으로 배열되는 것을 허용한다.

린(18)의 육면들 모두에 정착되어 있는 배선테이프(22)는 사각을 띠고 있고 그러므로 최소한의 돌출을 필요로 한다. 부가하여, 이러한 윤곽은 배선테이프의 호들을 동전한다. 이 린(18)은 소망에 따라 그들의 배면들이 서로 정착된 두 집들로 대체되어도 좋다.

미지, 도 6을 참조하여, 제1, 제2 및 제4실시예들의 반도체장치들(74, 72, 및 74)의 각각의 상세구조를 설명한다. 도시된 바와 같이, 배선테이프(2, 20 또는 22)는 절연막(31), 배선회로(32), 정착층(33), 매립된 금속(34), 및 커버층(35)의 박막이다. 배선회로(32)는 식각에 의해 사전설정된 패턴으로 되어 있는 절연막(31)의 일측표면에 형성된다. 커버층 또는 절연부(35)는 절연막(31)의 상기표면을 덮는다. 이 커버층(35)은 외부접속부들(36)의 역할을 위해서 배선회로(32)의 각 랜드부분을 개방하고 있다. 망납물(3)은 이 외부접속부들(36)에 부착된다. 정착층(33)은 절연막(31)의 다른 표면에 형성된다.

배선테이프(2, 20 또는 22)는 정착층(33)을 제거하여 반도체층(1, 10, 11 또는 13)에 정착된다. 내부접속부의 역할을 수행하는 금속(34)은 린내에 포함된 전극(5)과 마주하는 절연막(31) 및 정착층(33)의 일부에 형성된 홈들안에 매립되어 있다. 이 금속(34)은 일 단부가 배선회로(32)에 접속되고 타단부가 전극(5)에 접속된다. 커버층(35)은 홈(37)과 함께 금속(34) 위에 형성된다. 전극(5)과 금속(34)을 접속하기 위하여, 전하도구(30)가 홈(37)을 통해 금속(34) 위에 놓여 있는 배선회로(32) 부분을 가압하고 그것에 의해 금속(34)을 전극(5)에 접속한다.

도 6은 제3실시예의 반도체장치(73)의 상세구조를 보여준다. 도시된 바와 같이, 배선테이프(21)는 두 절연막들(41a 및 41b), 배선회로(42), 두 정착층들(43a 및 43b), 및 매립된 금속들(44a, 44b, 및 44c)의 박막이다. 배선회로(42)는 절연막들(41a 및 41b) 사이에 끼여 있고 사전설정된 배선패턴을 갖는다. 이 배선회로(42)는 식각에 의해 절연막(41b)의 일측표면에 형성된다. 미지서, 절연막(41a)이 절연막(41b)의 상기표면에 형성된다. 린이 배선테이프(21)의 일측표면에 실장되어지는 부분(8)에, 절연막(42)이 외부접속부(36)를 형성하기 위하여 식각, 연삭, 레이저드릴링 또는 유사한 기술에 의해 랜드부분에 홈과 함께 형성된다. 망납물(3)은 이 외부접속부(36)에 부착된다.

린들이 배선테이프(21)의 양 표면에 실장되어지는 부분(A)에 있어서, 정착층(43a)은 배선회로(42)에 형성되는 표면에 매립되는 절연막(41a)의 표면에 형성된다. 린(14 또는 15)은 정착층(43a)을 통해 배선테이프(21)에 접속된다. 금속(44a)은 린(14 또는 15)에 포함된 전극(5a)과 마주하는 부분에서 절연막(41a) 및 정착층(43a)안에 형성된 홈들 내에 매립되어 있다. 이 금속(44a)은 일 단부가 배선회로(42)에 접속되고 타단부가 전극(5a)에 접속된다.

유사하게, A 부분에 있어서, 정착층(43b)은 배선회로(42)에 형성되는 표면에 반대되는 절연막(41b)의 표면에 형성된다. 린(13 또는 16)은 정착층(43b)을 통해 배선테이프(21)에 정착된다. 금속(44b)은 린(13 또는 16)안에 포함된 전극(5b)과 마주하는 부분에서 절연막(41b) 및 정착층(43b)안에 형성된 홈들 내에 매립되어 있다. 이 금속(44b)은 일 단부가 배선회로(42)에 접속되고 타단부가 전극(5b)에 접속된다.

전극들(5a 및 5b)을 금속들(44a 및 44b)에 접속하기 위하여, 린(14 또는 15)의 배면 및 린(13 또는 16)의 배면을 가압하고 따라서 그 사이의 배선테이프(21)가 가압된다. 결과적으로, 금속들(44a 및 44b)은 각각 전극들(5a 및 5b)에 접속된다.

B 부분에 있어서, 정착층(43b)은 배선회로(42)에 반대되는 절연막(41b)의 표면에 형성된다. 배선테이프(21) 및 린(12 또는 17)은 정착층(43b)에 의해 함께 정착된다. 금속(44c)은 린(12 또는 17)안에 포함된 전극(5c)과 마주하는 부분에서 절연막(41b) 및 정착층(43b)안에 형성된 홈들 내에 매립되어 있다. 이 금속(44c)은 일 단부가 배선회로(42)에 접속되고 타단부가 전극(5c)에 접속된다. 홈(47)은 절연막(41a) 안에 있어서 금속(44c) 위에 형성된다. 전극(5c)과 금속(44c)을 접속하기 위하여, 정착도구(30)는 홈(47)을 통해 외부로 노출된 금속(44c) 위에 위치한 배선회로(42)의 부분을 가압한다.

도 6에 도시된 구조에 있어서, 절연막들(41a 및 41b)은 예를 들면, 폴리이미드(polyimide)로 형성되고, 배선회로(42)는 예를 들면, 구리박으로 구성된다. 그러나, 이러한 물질들은 단지 예시에 불과할 뿐 어떤 적절한 물질들로 대체되어도 좋다.

도 7은 배선테이프들(2, 20 및 22)의 어느 하나를 형성하기 위한 상세공정을 보여준다. 도 7(a)에 도시된 바와 같이, 통으로된 배선회로(32)는 폴리이미드로된 절연막(31)의 일측표면에 형성된다. 정착제가 절연막(31)의 타측표면에 코팅되고, 정착층(33)을 형성한다. 이 절연막(31)은 두께가 약 12μm이다. 배선회로(32)는 두께가 약 18μm이다. 또한, 정착층(33)은 두께가 약 10μm이다.

미지서, 도 7(b)에 도시된 바와 같이, 배선회로(32)는 배선패턴(포토레티닝)을 형성하기 위하여 선택적으로 식각된다. 도 7(c)에 도시된 바와 같이, 배선패턴이 존재하는 배선회로(32)의 표면을 커버층(35)(커버재판)으로 덮는다. 도 7(d)에 도시된 바와 같이, 홈(91)은 배선회로(32)에 홈(91)을 통해 외부로 노출되도록 이 배선회로(32)의 반대측으로부터 정착층(33) 및 절연막(31)을 통해 형성된다.

도 7(e)에 도시된 바와 같이, 린(10)(32)은 정착층(33)의 표면으로부터 약간 돌출되도록 하는 식(역시 레이저를 이용하는 내부 등 도금)을 홈(91) 내에 매립되어 있다. 도 7(f)에 도시된 바와 같이, 금(Au)은 린(92)을 구획함에 의해 정착층(33)의 상기 표면으로부터 돌출하는 린(92)의 표면에 도금된다(내부도금). 도 7(g)에 도시된 바와 같이, 배선회로(32)에 포함되어 있는 랜드부분(94)을 덮고 있는 커버층(35)의 부분은 랜드부분(94)이 외부로 노출되도록 식각(외부 레이저 드릴링)에 의해 제거된다. 최종적으로, 도 7(h)에 도시된 바와 같이, 금(95)은 그것을 덮도록 랜드부분(94)상에 도금된다(외부 도금).

20-7

20-7

[첨부그림 8]

특2001-0078268

도 7에 도시된 공정에 의해서 배선테이프(2, 20 또는 22)가 형성된다. 배선테이프(21)를 위해서는 도 7(c)의 커버지향주입단계는 점연막(41a)형성단계 및 점착층(43a)형성단계로 대체된다.

도시되고 설명된 상술의 실시예들에 있어서, 배선회는 배선테이프의 외부접속부들의 역할을 수행하는 권드를 형성하기 위하여 부분적으로 외부에 노출된다. 배선회는 반도체장치를 서로 접속하기 위하여 권드에 접착된다. 이 배선회는 배선회에 접속하는 도전층들(여러면 어떤 다른 적절한 금속층기로 대체되어도 좋다. 또한, 내부접속부로서 역할하기 위하여 배선테이프에 매립된 금속은 상략되어져도 좋으며, 이 경우에는 배선회가 반도체칩의 전극에 직접 접착될 것이다.

발명의 효과

상술한 바와 같이, 본 발명은 다음에 열거되는 예상치 못했던 여러 가지 이점들을 갖는 반도체장치 및 반도체모듈을 제공하고 있다.

(1) 단일의 배선테이프가 반도체칩의 세 면을 이상에 정해지고, 배머핀크기와 견줄만한 크기의 표적지표 반도체장치를 제공한다. 이것은 수많은 배선회의 밀도배율을 성공적으로 피할 수 있다.

(2) 외부접속부들은 2차원 또는 3차원 고밀도 반도체모듈을 달성하도록 반도체칩의 세 이상의 표면들에 위치된다.

(3) 배선테이프는 반도체모듈의 열율이 상대적으로 낮은 부트를 통해서 전기적으로 상호 접속되는 것을 허용하고, 따라서 배선테이프 상에는 높은 회로기판상에 수많은 배선회의 고밀도배율을 피할 수가 있다. 이것은 개별배선의 폭과 연결배선들 사이의 거리가 증가되는 것을 허용하고, 따라서 배선테이프 및 회로기판의 설계비용을 줄일 수 있다.

(4) 결과적으로, 2차원 또는 3차원 반도체모듈이 비단축한 전기적 특성을 달성할 수가 있다. 부가하여, 제비용으로 배머핀과 같이 작은 반도체모듈 및 반도체장치가 생산될 수 있다.

이상에서 개시된 내용으로부터 본 발명이 속하는 기술분야의 통상의 지식을 가진 자라면 본 발명의 정신 및 범위를 벗어나지 아니하는 범위에서의 다양한 변형들이 가능하다는 것을 알 수 있을 것이다.

(5) 청구의 범위

청구항 1

반도체칩;

사건선택된 패턴을 갖는 배선회를 포함하는 단일의 배선테이프;

상기 배선테이프상에 배열된 외부접속부들; 및

상기 배선테이프 내에 형성되고 상기 반도체칩내에 포함된 전극들에 접속된 내부접속부들을 포함하고;

상기 배선테이프는 상기 반도체칩의 가장자리들에서 절곡되고 상기 반도체칩의 적어도 세 면들에 정해지며, 상기 외부접속부들은 상기 적어도 세 면들상에 배열되어 있는 것을 특징으로 하는 반도체장치.

청구항 2

제1항에 있어서, 상기 외부접속부들은 상기 적어도 세 면들 중 서로 마주하는 한 쌍의 표면들상에 배열되는 것을 특징으로 하는 반도체장치.

청구항 3

제1항에 있어서, 상기 외부접속부들은 상기 적어도 세 면들 중 서로 마주하는 두 쌍의 표면들상에 배열되는 것을 특징으로 하는 반도체장치.

청구항 4

제1항에 있어서, 상기 외부접속부들은 상기 적어도 세 면들 중 서로 마주하는 세 쌍의 표면들상에 배열되는 것을 특징으로 하는 반도체장치.

청구항 5

제1항에 있어서, 상기 반도체칩은 그들의 배면들에서 서로 정해진 두 반도체칩들을 포함하는 것을 특징으로 하는 반도체장치.

청구항 6

다수의 반도체장치들을 포함하는 반도체모듈에 있어서, 상기 다수의 반도체장치들 각각은:

반도체칩; 및

사건선택된 패턴을 갖는 배선회, 배선테이프상에 배열된 외부접속부들, 및 이 배선테이프 내에 형성되고 상기 반도체칩내에 포함된 전극들에 접속된 내부접속부들을 구비하는 단일의 배선테이프를 포함하고;

상기 배선테이프는 상기 반도체칩의 가장자리들에서 절곡되고 상기 반도체칩의 적어도 세 면들에 정해지며, 상기 외부접속부들은 상기 적어도 세 면들상에 배열되어 있고;

상기 다수의 반도체장치들은 떨어져 있을 뿐만 아니라 나란히 배열되어져 있고, 상기 외부접속부들을 통해 전기적으로 상호 접속되어 있는 것을 특징으로 하는 반도체모듈.

20-8

20-8

[첨부그림 9]

록 2001-0078288

형구항 7

제8항에 있어서, 각 두 반도체장치는 상기 두 반도체장치를 사이에 끼여있는 반도체장치에 속하는 상기 배선타이프를 통해 전기적으로 접속가능한 것을 특징으로 하는 반도체모듈.

형구항 8

제8항에 있어서, 각 두 반도체칩들은 상기 두 반도체칩들 사이에 끼여있는 반도체칩에 접착되어 있는 상기 배선타이프를 통해 전기적으로 접속가능한 것을 특징으로 하는 반도체모듈.

형구항 9

다수의 2차원적으로 배열된 반도체장치들을 포함하는 반도체모듈에 있어서, 상기 다수의 반도체장치를 각각은:

반도체칩; 및

사전선택된 패턴을 갖는 배선층, 배선타이프상에 배열된 외부접속부들, 및 이 배선타이프 내에 형성되고 상기 반도체칩내에 포함된 전극들에 접속된 내부접속부들을 구비하는 단일의 배선타이프를 포함하고;

상기 배선타이프는 상기 반도체칩의 가장자리들에서 절곡되고 상기 반도체칩의 적어도 세 면들에 접착되어, 상기 외부접속부들은 상기 적어도 세 면들상에 배열되어 있는 것을 특징으로 하는 반도체모듈.

형구항 10

제8항에 있어서, 각 두 반도체장치는 상기 두 반도체장치를 사이에 끼여있는 반도체장치에 속하는 상기 배선타이프를 통해 전기적으로 접속가능한 것을 특징으로 하는 반도체모듈.

형구항 11

제9항에 있어서, 각 두 반도체칩들은 상기 두 반도체칩들 사이에 끼여있는 반도체칩에 접착되어 있는 상기 배선타이프를 통해 전기적으로 접속가능한 것을 특징으로 하는 반도체모듈.

형구항 12

다수의 3차원적으로 배열된 반도체장치들을 포함하는 반도체모듈에 있어서, 상기 다수의 반도체장치를 각각은:

반도체칩; 및

사전선택된 패턴을 갖는 배선층, 배선타이프상에 배열된 외부접속부들, 및 이 배선타이프 내에 형성되고 상기 반도체칩내에 포함된 전극들에 접속된 내부접속부들을 구비하는 단일의 배선타이프를 포함하고;

상기 배선타이프는 상기 반도체칩의 가장자리들에서 절곡되고 상기 반도체칩의 적어도 세 면들에 접착되어, 상기 외부접속부들은 상기 적어도 세 면들상에 배열되어 있는 것을 특징으로 하는 반도체모듈.

형구항 13

제12항에 있어서, 각 두 반도체장치는 상기 두 반도체장치를 사이에 끼여있는 반도체장치에 속하는 상기 배선타이프를 통해 전기적으로 접속가능한 것을 특징으로 하는 반도체모듈.

형구항 14

제12항에 있어서, 각 두 반도체칩들은 상기 두 반도체칩들 사이에 끼여있는 반도체칩에 접착되어 있는 상기 배선타이프를 통해 전기적으로 접속가능한 것을 특징으로 하는 반도체모듈.

형구항 15

적어도 두 반도체칩들;

사전선택된 패턴을 갖는 배선층을 포함하는 단일의 배선타이프;

상기 배선타이프상에 배열된 외부접속부들; 및

상기 배선타이프내에 형성되고 상기 적어도 두 반도체칩들의 각각에 포함된 전극들에 접속된 내부접속부들을 포함하고;

적어도 일측면이 서로 마주하는 두 반도체칩들은 상기 배선타이프에 의해 상호접속되고, 상기 두 반도체칩들 사이에 끼여있는 부분에 인접하는 상기 배선타이프의 부분은 상기 두 반도체칩들의 가장자리들에서 절곡되고 상기 두 반도체칩들의 다른 표면들에 접착되는 것을 특징으로 하는 반도체장치.

형구항 16

제15항에 있어서, 상기 외부접속부들은 상기 적어도 세 면들 중 서로 마주하는 한 쌍의 표면들상에 배열되는 것을 특징으로 하는 반도체장치.

형구항 17

제15항에 있어서, 상기 외부접속부들은 상기 적어도 세 면들 중 서로 마주하는 두 쌍의 표면들상에 배열되는 것을 특징으로 하는 반도체장치.

형구항 18

20-9

20-9

[첨부그림 10]

북 2001-0078268

제19항에 있어서, 상기 외부접속부들은 상기 적어도 세 면들 중 서로 마주하는 세 쌍의 표면들상에 배열되는 것을 특징으로 하는 반도체장치.

청구항 19

제19항에 있어서, 상기 반도체층은 그들의 배면들이 서로 접착된 두 반도체층들을 포함하는 것을 특징으로 하는 반도체장치.

청구항 20

다수의 반도체장치들을 포함하는 반도체모듈에 있어서, 상기 다수의 반도체장치들 각각은:

적어도 두 반도체층들;

사전선택된 패턴을 갖는 배선층을 구비하는 단일의 배선타이프;

상기 배선타이프상에 배열된 외부접속부들; 및

상기 배선타이프 내에 형성되고 상기 적어도 두 반도체층들의 각각내에 포함된 전극들에 접속된 내부접속부들을 포함하고;

일측면이 서로 마주하는 두 반도체층들은 상기 배선타이프에 의해 상호접속되고;

상기 두 반도체층들 사이에 끼여있는 부분에 인접하는 상기 배선타이프의 부분은 상기 두 반도체층들의 가장자리들에서 절곡되고 상기 두 반도체층들의 다른 표면들에 접착되는 것을 특징으로 하는 반도체모듈;

상기 다수의 반도체장치들은 상이한 것들 뿐만 아니라 나란히 배열되어져 있고, 상기 외부접속부들을 통해 전기적으로 상호 접속되어 있는 것을 특징으로 하는 반도체모듈.

청구항 21

제20항에 있어서, 각 두 반도체장치들은 상기 두 반도체장치들 사이에 끼여있는 반도체장치에 속하는 상기 배선타이프를 통해 전기적으로 접속가능한 것을 특징으로 하는 반도체모듈.

청구항 22

제20항에 있어서, 각 두 반도체층들은 상기 두 반도체층들 사이에 끼여있는 반도체층에 접착되어 있는 상기 배선타이프를 통해 전기적으로 접속가능한 것을 특징으로 하는 반도체모듈.

청구항 23

다수의 2차원적으로 배열된 반도체장치들을 포함하는 반도체모듈에 있어서, 상기 다수의 반도체장치들 각각은:

적어도 두 반도체층들;

사전선택된 패턴을 갖는 배선층을 구비하는 단일의 배선타이프;

상기 배선타이프상에 배열된 외부접속부들; 및

상기 배선타이프 내에 형성되고 상기 적어도 두 반도체층들의 각각내에 포함된 전극들에 접속된 내부접속부들을 포함하고;

일측면이 서로 마주하는 두 반도체층들은 상기 배선타이프에 의해 상호접속되고;

상기 두 반도체층들 사이에 끼여있는 부분에 인접하는 상기 배선타이프의 부분은 상기 두 반도체층들의 가장자리들에서 절곡되고 상기 두 반도체층들의 다른 표면들에 접착되는 것을 특징으로 하는 반도체모듈.

청구항 24

제23항에 있어서, 각 두 반도체장치들은 상기 두 반도체장치들 사이에 끼여있는 반도체장치에 속하는 상기 배선타이프를 통해 전기적으로 접속가능한 것을 특징으로 하는 반도체모듈.

청구항 25

제23항에 있어서, 각 두 반도체층들은 상기 두 반도체층들 사이에 끼여있는 반도체층에 접착되어 있는 상기 배선타이프를 통해 전기적으로 접속가능한 것을 특징으로 하는 반도체모듈.

청구항 26

다수의 3차원적으로 배열된 반도체장치들을 포함하는 반도체모듈에 있어서, 상기 다수의 반도체장치들 각각은:

적어도 두 반도체층들;

사전선택된 패턴을 갖는 배선층을 구비하는 단일의 배선타이프;

상기 배선타이프상에 배열된 외부접속부들; 및

상기 배선타이프 내에 형성되고 상기 적어도 두 반도체층들의 각각내에 포함된 전극들에 접속된 내부접속부들을 포함하고;

일측면이 서로 마주하는 두 반도체층들은 상기 배선타이프에 의해 상호접속되고;

20-10

20-10

[첨부그림 11]

국 2001-0076266

상기 두 반도체층들 사이에 끼여있는 부분에 연결하는 상기 배선테이프의 부분은 상기 두 반도체층들의 가장자리들에서 접촉되고 상기 두 반도체층들의 다른 표면에 정착되는 것을 특징으로 하는 반도체모듈.

청구항 27

제26항에 있어서, 각 두 반도체장치는 상기 두 반도체층들 사이에 끼여있는 반도체장치에 속하는 상기 배선테이프를 통해 전기적으로 접속가능한 것을 특징으로 하는 반도체모듈.

청구항 28

제26항에 있어서, 각 두 반도체층들은 상기 두 반도체층들 사이에 끼여있는 반도체층에 장착되어 있는 상기 배선테이프를 통해 전기적으로 접속가능한 것을 특징으로 하는 반도체모듈.

청구항 29

적어도 두 반도체층들;

사전선택된 피탄을 갖는 배선층을 포함하는 단일의 배선테이프;

상기 배선테이프상에 배열된 외부접속부들; 및

상기 배선테이프내에 형성되고 상기 적어도 두 반도체층들의 각각에 포함된 전극들에 접속된 내부접속부들을 포함하고;

상기 적어도 두 반도체층들은 각각 상기 배선테이프의 반대표면에 정착되고, 상기 배선테이프의 다른 부분은 상기 반도체층들의 가장자리들에서 접촉되며 상기 반도체층들의 다른 표면에 정착되는 것을 특징으로 하는 반도체장치.

청구항 30

제29항에 있어서, 상기 외부접속부들은 상기 적어도 세 면들 중 서로 마주하는 한 쌍의 표면에 배열되는 것을 특징으로 하는 반도체장치.

청구항 31

제29항에 있어서, 상기 외부접속부들은 상기 적어도 세 면들 중 서로 마주하는 두 쌍의 표면에 배열되는 것을 특징으로 하는 반도체장치.

청구항 32

제29항에 있어서, 상기 외부접속부들은 상기 적어도 세 면들 중 서로 마주하는 세 쌍의 표면에 배열되는 것을 특징으로 하는 반도체장치.

청구항 33

제29항에 있어서, 상기 반도체층은 그들의 배면들이 서로 정착된 두 반도체층들을 포함하는 것을 특징으로 하는 반도체장치.

청구항 34

다수의 반도체장치들을 포함하는 반도체모듈에 있어서, 상기 다수의 반도체장치들 각각은:

적어도 두 반도체층들;

사전선택된 피탄을 갖는 배선층을 구비하는 단일의 배선테이프;

상기 배선테이프상에 배열된 외부접속부들; 및

상기 배선테이프 내에 형성되고 상기 적어도 두 반도체층들의 각각에 포함된 전극들에 접속된 내부접속부들을 포함하고;

상기 적어도 두 반도체장치들은 각각 상기 배선테이프의 반대표면에 정착되고;

상기 배선테이프의 다른 부분은 상기 반도체층들의 가장자리들에서 접촉되고 상기 반도체층들의 다른 표면에 정착되는 것을 특징으로 하는 반도체모듈.

청구항 35

제34항에 있어서, 각 두 반도체장치들은 상기 두 반도체장치들 사이에 끼여있는 반도체장치에 속하는 상기 배선테이프를 통해 전기적으로 접속가능한 것을 특징으로 하는 반도체모듈.

청구항 36

제34항에 있어서, 각 두 반도체층들은 상기 두 반도체층들 사이에 끼여있는 반도체층에 정착되어 있는 상기 배선테이프를 통해 전기적으로 접속가능한 것을 특징으로 하는 반도체모듈.

청구항 37

다수의 2차원적으로 배열된 반도체장치들을 포함하는 반도체모듈에 있어서, 상기 다수의 반도체장치들 각각은:

적어도 두 반도체층들;

20-11

20-11

[첨부그림 12]

목록 2001-0078288

사전선택된 패턴을 갖는 배선층을 구비하는 단일의 배선테이프;

상기 배선테이프상에 배열된 외부접속부들; 및

상기 배선테이프 내에 형성되고 상기 적어도 두 반도체칩들의 각각내에 포함된 전극들에 접속된 내부접속부들을 포함하고;

상기 적어도 두 반도체장치들은 각각 상기 배선테이프의 반대표면들에 접착되고;

상기 배선테이프의 다른 부분은 상기 반도체칩들의 가장자리들에서 절곡되고 상기 반도체칩들의 다른 표면에 접착되는 것을 특징으로 하는 반도체모듈.

청구항 38

제37항에 있어서, 각 두 반도체장치들은 상기 두 반도체장치들 사이에 끼여있는 반도체장치에 속하는 상기 배선테이프를 통해 전기적으로 접속가능한 것을 특징으로 하는 반도체모듈.

청구항 39

제37항에 있어서, 각 두 반도체칩들은 상기 두 반도체칩들 사이에 끼여있는 반도체칩에 접속되어 있는 상기 배선테이프를 통해 전기적으로 접속가능한 것을 특징으로 하는 반도체모듈.

청구항 40

다수의 3차원적으로 배열된 반도체장치들을 포함하는 반도체모듈에 있어서, 상기 다수의 반도체장치들 각각은:

적어도 두 반도체칩들;

사전선택된 패턴을 갖는 배선층을 구비하는 단일의 배선테이프;

상기 배선테이프상에 배열된 외부접속부들; 및

상기 배선테이프 내에 형성되고 상기 적어도 두 반도체칩들의 각각내에 포함된 전극들에 접속된 내부접속부들을 포함하고;

상기 적어도 두 반도체장치들은 각각 상기 배선테이프의 반대표면들에 접착되고;

상기 배선테이프의 다른 부분은 상기 반도체칩들의 가장자리들에서 절곡되고 상기 반도체칩들의 다른 표면에 접착되는 것을 특징으로 하는 반도체모듈.

청구항 41

제40항에 있어서, 각 두 반도체장치들은 상기 두 반도체장치들 사이에 끼여있는 반도체장치에 속하는 상기 배선테이프를 통해 전기적으로 접속가능한 것을 특징으로 하는 반도체모듈.

청구항 42

제40항에 있어서, 각 두 반도체칩들은 상기 두 반도체칩들 사이에 끼여있는 반도체칩에 접속되어 있는 상기 배선테이프를 통해 전기적으로 접속가능한 것을 특징으로 하는 반도체모듈.

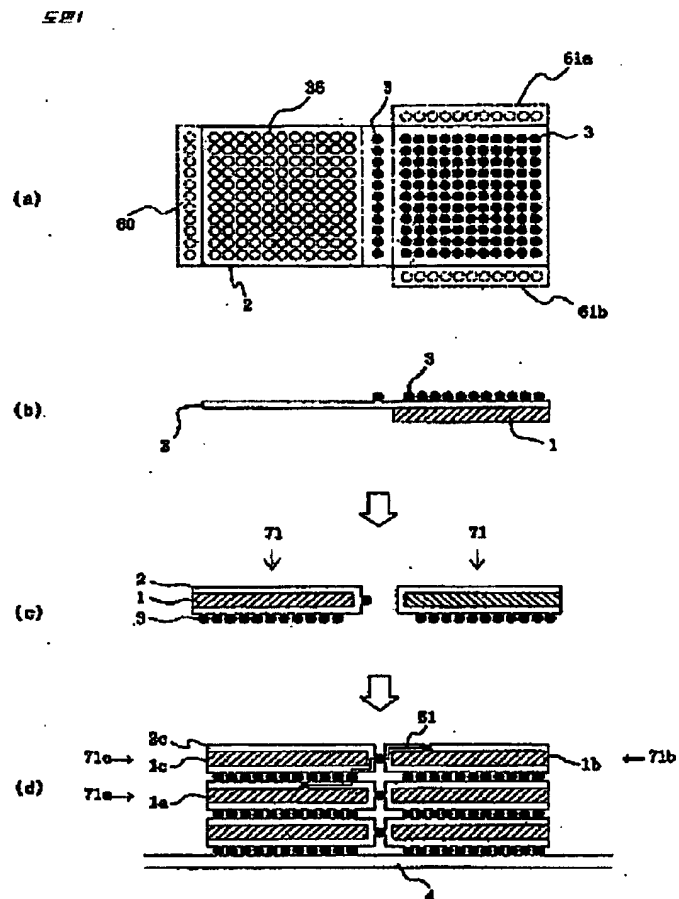
도면

20-12

20-12

[첨부그림 13]

특2001-0076268

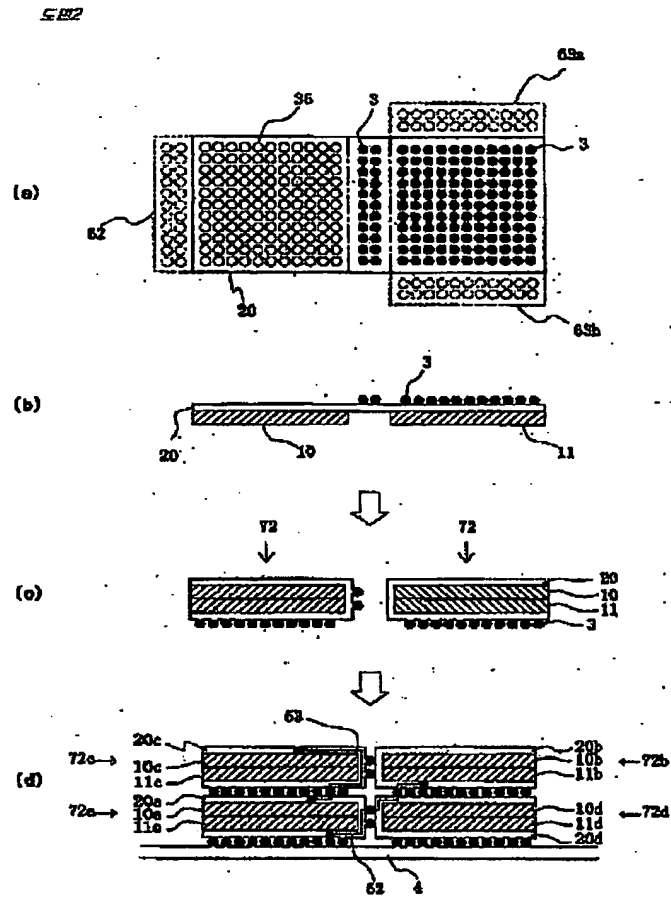


20-13

20-13

[첨부그림 14]

특 2001-0078288

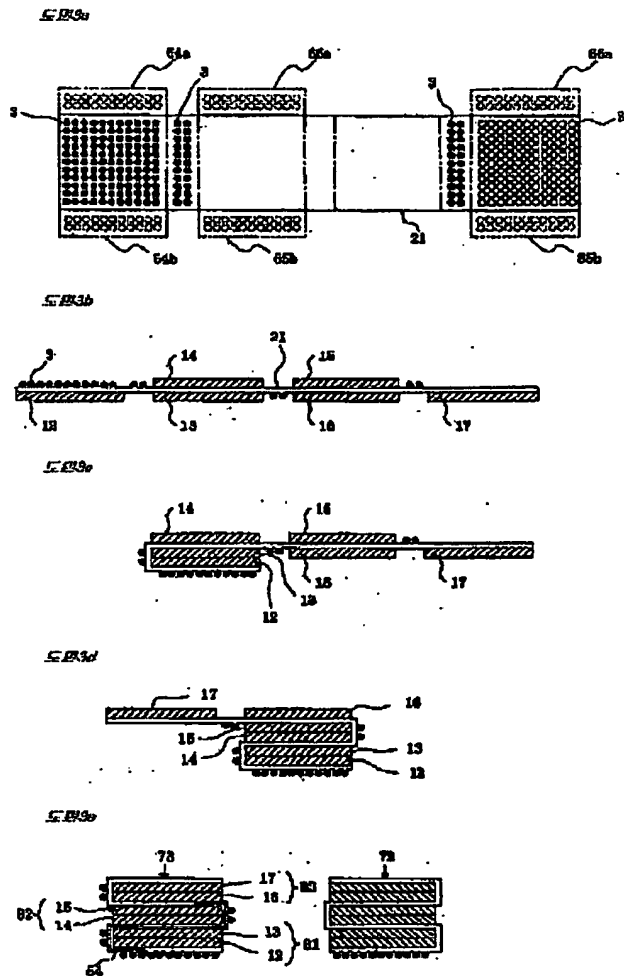


20-14

20-14

[첨부그림 15]

국 2001-0078268

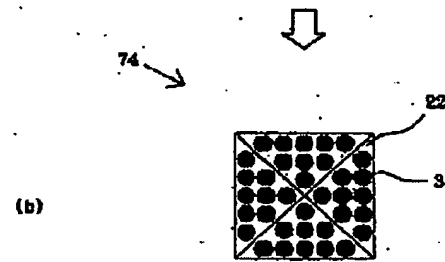
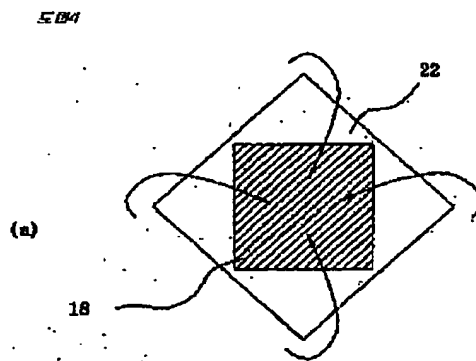
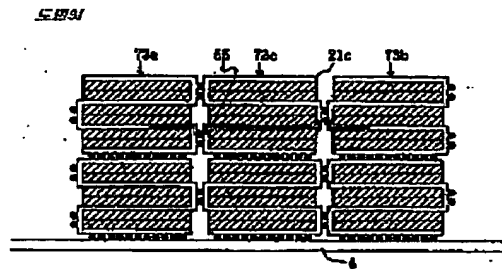


20-15

20-15

[첨부그림 16]

특2001-0078288

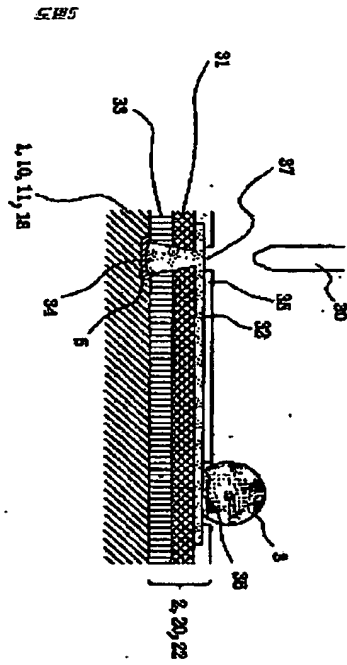


20-16

20-16

[첨부그림 17]

2001-0078288

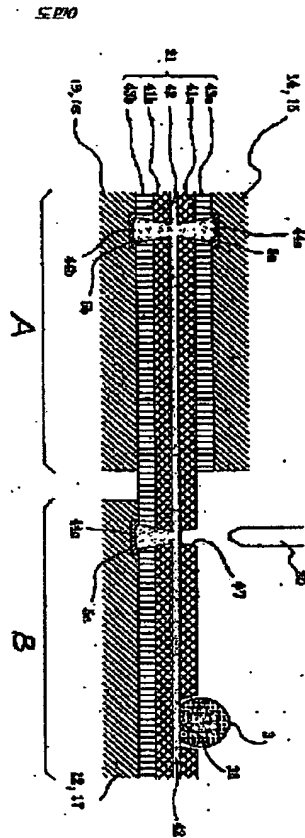


20-17

20-17

[첨부그림 18]

국 2001-0076268



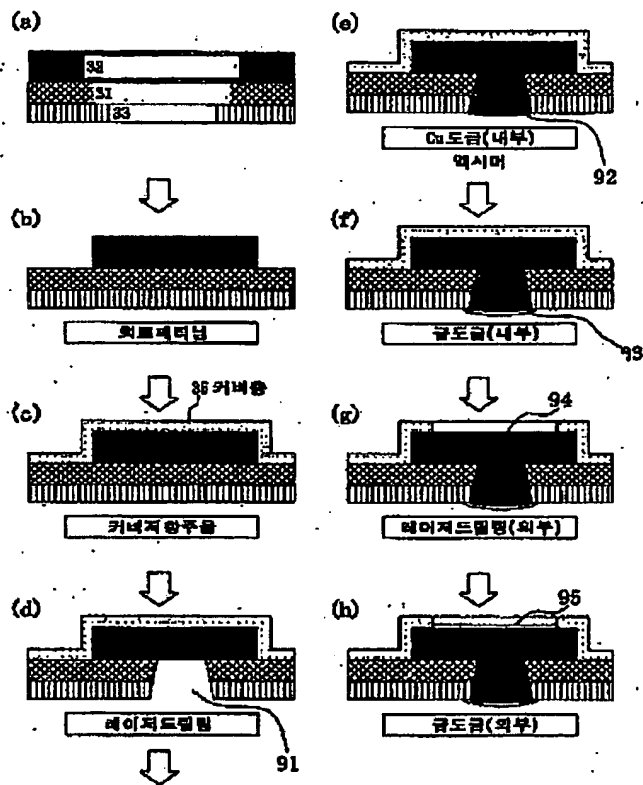
20-18

20-18

[첨부그림 19]

록 2001-0078288

도면 7



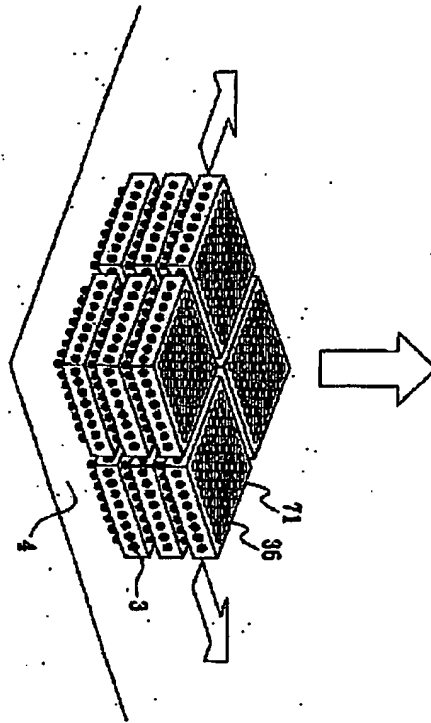
20-19

20-19

[첨부그림 20]

특 2001-0078269

도 20



20-20

20-20

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.